

t 17/7/all

17/7/1

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06928734 **Image available**
SEMICONDUCTOR INTEGRATED CIRCUIT

PUB. NO.: 2001-156275 [JP 2001156275 A]
PUBLISHED: June 08, 2001 (20010608)
INVENTOR(s): KAMIGAKI YOSHIAKI
MINAMI SHINICHI
KATAYAMA KOZO
KATO MASATAKA
APPLICANT(s): HITACHI LTD
APPL. NO.: 2000-083246 [JP 200083246]
FILED: March 21, 2000 (20000321)
PRIORITY: 11-263154 [JP 99263154], JP (Japan), September 17, 1999
(19990917)
11-263155 [JP 99263155], JP (Japan), September 17, 1999
(19990917)

ABSTRACT

PROBLEM TO BE SOLVED: To provide a large-integration, high-speed, and reliable multi-*storage*- type non-volatile *memory*.

SOLUTION: In the semiconductor integrated circuit, a *memory* transistor (Trmc) having a gate-insulating film 2 discretely including a trap and a *memory* gate *electrode* 7 is provided, and *switch* transistors (Trsw) having *switch* gates 6-1 and 6-2 are provided at both the side of the *memory* transistor. The gate-insulating film 2 discretely including the trap has a discrete *trap* for storing information *charge*, carriers can be locally injected, and one *memory* cell forms a multi-*storage* cell for accumulating information of at least two bits. The *switch* transistor (Trsw) having the *switching* gate *electrodes* achieves a source side injection system. The *memory* transistor is formed in self-alignment manner with it. The *memory* gate *electrode* 7 of the *memory* transistor is connected to a word line 5, and erasure in word line units can be made.

COPYRIGHT: (C)2001,JPO

17/7/2

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04335184 **Image available**
SEMICONDUCTOR DEVICE

PUB. NO.: 05-326884 [JP 5326884 A]
PUBLISHED: December 10, 1993 (19931210)
INVENTOR(s): TSURUTA MASATAKA
APPLICANT(s): ROHM CO LTD [365425] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 04-125823 [JP 92125823]
FILED: May 19, 1992 (19920519)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)	
H 0 1 L 27/115		H 0 1 L 27/10	4 8 1	5 B 0 2 5
G 1 1 C 16/04			4 3 4	5 F 0 0 1
16/02		G 1 1 C 17/00	6 2 1 A	5 F 0 8 3
H 0 1 L 27/10	4 8 1		6 2 3 Z	5 F 1 0 1
21/8247			6 4 1	
審査請求 未請求 請求項の数10 O L (全 39 頁) 最終頁に続く				

(21) 出願番号 特願2000-83246(P2000-83246)

(22) 出願日 平成12年3月21日 (2000.3.21)

(31) 優先権主張番号 特願平11-263154

(32) 優先日 平成11年9月17日 (1999.9.17)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-263155

(32) 優先日 平成11年9月17日 (1999.9.17)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 神垣 良昭

東京都国分寺市東森ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 南 眞一

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100089071

弁理士 玉村 静世

最終頁に続く

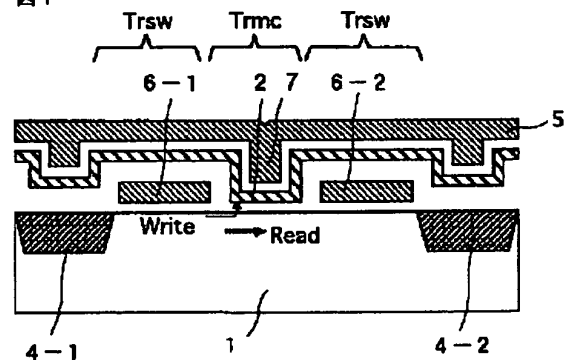
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 高集積、高速、高信頼なマルチストレージ形態の不揮発性メモリを提供する。

【解決手段】 離散的にトラップを含むゲート絶縁膜(2)及びメモリゲート電極(7)を有するメモリトランジスタ部(Trmc)を有し、その両側に、スイッチゲート電極(6-1, 6-2)を備えたスイッチトランジスタ部(Trsw)を備える。離散的にトラップを含むゲート絶縁膜2は情報電荷を蓄えるための離散的トラップを持ち、局所的なキャリアの注入が可能であり、1個のメモリスルは少なくとも2ビット分の情報を蓄積するマルチストレージセルを成す。スイッチゲート電極を備えたスイッチトランジスタ部(Trsw)はソースサイド注入方式を実現する。メモリトランジスタ部はそれと自己整合的に形成される。メモリトランジスタ部のメモリゲート電極(7)はワード線(5)に接続され、ワード線単位での消去が可能にされる。

図1





EP1085519

Biblio

Desc

Claims

Page 1

Drawing



Semiconductor integrated device

Patent Number: ☐ EP1085519
 Publication date: 2001-03-21
 Inventor(s): KAMIGAKI YOSHIKI (JP); KATAYAMA KOZO (JP); KATO MASATAKA (JP); MINAMI SHINICHI (JP)
 Applicant(s): HITACHI LTD (JP)
 Requested Patent: ☐ JP2001156275
 Application Number: EP20000119793 20000911
 Priority Number(s): JP19990263154 19990917; JP19990263155 19990917; JP20000083246 20000321
 IPC Classification: G11C16/04
 EC Classification: G11C11/56M, G11C16/04M2, H01L21/8246T, H01L27/115, H01L29/788C, H01L29/792B
 Equivalents: ☐ US6531735
 Cited Documents: US4527259; US5763308; US5467308; US5408115

Abstract

A multi-storage nonvolatile memory of high density, high speed and high reliability has a memory transistor (Trmc) and switch transistors (Trsw) disposed on both the sides of the memory transistor. The memory transistor (Trmc) includes a gate insulating film (2) having discrete traps and a memory gate electrode (7), whereas the switch transistors (Trsw) include switch gate electrodes (6 - 1 and 6 - 2). The gate insulating film (2) has the discrete traps for storing information charge, can locally inject carriers, and one memory cell constitutes a multi-storage cell for storing at least information of 2 bits. The switch transistors (Trsw) having the switch gate electrodes realize source side injection. The memory transistor is formed together with the switch transistors in self-aligned diffusion. The memory gate electrode (7) of the memory transistor is connected to a word line (5) so as to perform word-line erase.

Data supplied from the esp@cenet database - 12